

DIALOG(R)File 352:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.  
009678986      \*\*Image available\*\*

WPI Acc No: 1993-372540/199347

XRPX Acc No: N93-287876

Thin film transistor - has hydrogen or halogen arranged in each of  
channel area, source and drain electrodes with density of more than 5.10

power 19 per c cm continuously NoAbstract

Patent Assignee: TOSHIBA KK (TOKE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 5275699</b>	A	19931022	JP 9266825	A	19920325	199347 B

Priority Applications (No Type Date): JP 9266825 A 19920325

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 5275699	A		4 H01L-029/784	

Abstract (Basic): JP 5275699 A Dwg.1/3

Title Terms: THIN; FILM; TRANSISTOR; HYDROGEN; HALOGEN; ARRANGE;  
CHANNEL; AREA; SOURCE; DRAIN; ELECTRODE; DENSITY; MORE; POWER; PER;  
CM; CONTINUOUS ; NOABSTRACT

Derwent Class: U11; U12

International Patent Class (Main): H01L-029/784

International Patent Class (Additional): H01L-021/336

File Segment: EPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04283999      \*\*Image available\*\*

**THIN FILM TRANSISTOR AND MANUFACTURE THEREOF**

PUB. NO.:      **05-275699** [JP 5275699 A]

PUBLISHED:      October 22, 1993 (19931022)

INVENTOR(s):   NAKAZONO TAKUSHI

MASAKI YUICHI

SATO HAJIME

NAKAMURA HIROYOSHI

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:      04-066825 [JP 9266825]

FILED:          March 25, 1992 (19920325)

INTL CLASS:     [5] H01L-029/784; H01L-021/336

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL:        Section: E, Section No. 1498, Vol. 18, No. 53, Pg. 22,  
January 27, 1994 (19940127)

**ABSTRACT**

**PURPOSE:** To eliminate a defect level in a mid-gap in channel, source and drain region, mainly formed of polycrystalline silicon, by allowing hydrogen to act effectively in those regions.

**CONSTITUTION:** A polycrystalline silicon film is formed on an insulating substrate 11, and Si ion is implanted for the formation of a polycrystalline silicon film 21. Then, a gate insulting film 31 is formed, a polycrystalline silicon film is provided thereon, and P ion is implanted to form a gate electrode 41. Arsenic ions are implanted into the polycrystalline silicon film 21 making use of the gate electrode 41 as a mask for the formation of a source region 25, a drain region 27, and a channel region 23. A protective film 51 is formed, contact holes 55 and 57 are provided to the source and the drain region, 25 and 27, respectively, and hydrogen ions are infected. Wiring 65 and 67 are formed and then annealed to enable H contained in the film to diffuse well. The channel region 23 is of  $5 \times 10^{19} / \text{cm}^3$  H concentration. H ions are implanted into the source and the drain region, 25 and 27, to act on uncombined hands in the film to enable a mid-gap defect level to disappear.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-275699

(43)公開日 平成5年(1993)10月22日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 29/784

21/336

識別記号

庁内整理番号

FI

技術表示箇所

9056-4M

9056-4M

9056-4M

H 0 1 L 29/ 78

3 1 1 H

3 1 1 S

3 1 1 Y

審査請求 未請求 請求項の数2(全 4 頁)

(21)出願番号

特願平4-66825

(22)出願日

平成4年(1992)3月25日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 中國 卓志

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(72)発明者 正木 裕一

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(72)発明者 佐藤 肇

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(74)代理人 弁理士 則近 憲佑

最終頁に続く

(54)【発明の名称】 薄膜トランジスタおよびその製造方法

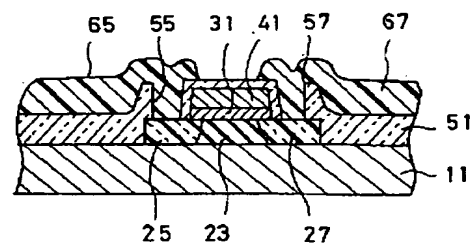
(57)【要約】

(修正有)

【構成】 本発明の薄膜トランジスタは、多結晶シリコンを主体として成るチャネル領域23、ソース領域25、ドレイン領域27を備え、各領域に水素もしくはハロゲンの少なくとも1つが連続的に $5 \times 10^{19}/\text{cm}^3$ 以上の濃度で存在している。

【効果】 本発明によれば、膜中のミッドギャップ中の欠陥準位を消滅させ、薄膜トランジスタの蓄積側でのドレイン電流(ID)を防止することができ、また容易に製造することができる。

1 薄膜トランジスタ



## 【特許請求の範囲】

【請求項1】 多結晶シリコンを主体として成るチャネル領域、ソース領域、ドレイン領域を備えた薄膜トランジスタにおいて、前記各領域に水素もしくはハロゲンの少なくとも1つが連続的に $5 \times 10^{19}/\text{cm}^3$ 以上の濃度で存在していることを特徴とした薄膜トランジスタ。

【請求項2】 多結晶シリコン膜上にゲート絶縁膜を形成する工程と、前記多結晶シリコン膜の一部に不純物イオンを注入してソース領域、ドレイン領域、チャネル領域を形成する工程と、前記ソース領域およびドレイン領域に水素もしくはハロゲンの少なくとも1つを添加する工程とを備えたことを特徴とした薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は薄膜トランジスタに係り、特に多結晶シリコン膜が用いられて成る薄膜トランジスタおよびその製造方法に関する。

## 【0002】

【従来の技術】 薄膜トランジスタは、読取り装置、感熱印字装置、液晶表示装置等の駆動回路素子として、あるいは液晶表示装置の画素選択スイッチとして種々利用されている。特に、活性層に多結晶シリコンが用いられて成る薄膜トランジスタは高速応答が可能であることから、近年では注目を集めている。そこでnチャンネル薄膜トランジスタを例にとり説明する。

【0003】 この活性層は、シラン( $\text{SiH}_4$ )ガスの減圧熱化学気相法(LP-CVD)から成る多結晶シリコンで構成されている。そして、この活性層に不純物として例えばリン(P)がドーピングされてソース領域、ドレイン領域が構成されている。そして、これらソース領域、ドレイン領域にはアルミ(Al)電極が接続されている。

【0004】 また、ソース領域とドレイン領域との間にはチャネル領域が形成され、このチャネル領域上には多結晶シリコン膜がアニールされて成る絶縁膜を介してゲート電極が設置されて薄膜トランジスタは構成されている。

## 【0005】

【発明が解決しようとする課題】 ところで、上述したnチャンネル薄膜トランジスタでは、ゲート電極に正の電圧を印加すると、チャネル領域に反転層が形成され、ドレイン電流(ID)が流れることとなる。しかし、従来の薄膜トランジスタでは、ゲート電極に負の電圧を印加してもドレイン電流(ID)が流れていた。このような薄膜トランジスタの蓄積側でのドレイン電流(ID)の発生は、次のような問題を引き起こしてしまう。

【0006】 通常のエンハンスメント型のトランジスタではゲート電圧が0(V)以下ではトランジスタはOFFとしてあつかわれるが、この時にドレイン電流(ID)

が流れると、トランジスタのON/OFF比を劣化させてしまう。

【0007】 特に液晶パネル等に用いられる場合、ゲート電圧が0(V)以下ではドレイン電流(ID)が流れないことが画素電圧の変動を抑え、表示品位を損なわないことから、必須の要件となっている。

【0008】 そこで本発明は、上述した課題に鑑み成されたもので、ゲート電圧の蓄積側でドレイン電流が流れない薄膜トランジスタおよびその製造方法を提供することを目的としたものである。

## 【0009】

【課題を解決するための手段】 本発明の薄膜トランジスタは、多結晶シリコンを主体として成るチャネル領域、ソース領域、ドレイン領域を備え、各領域に水素もしくはハロゲンの少なくとも1つが連続的に $5 \times 10^{19}/\text{cm}^3$ 以上の濃度で存在していることを特徴としたものである。

【0010】 また、本発明の薄膜トランジスタの製造方法は、多結晶シリコン膜上にゲート絶縁膜を形成する工程と、多結晶シリコン膜の一部に不純物イオンを注入してソース領域、ドレイン領域、チャネル領域を形成する工程と、ソース領域およびドレイン領域に水素もしくはハロゲンの少なくとも1つを添加する工程とを備えたことを特徴としたものである。

## 【0011】

【作用】 本発明者等が種々検討した結果、薄膜トランジスタの蓄積側でのドレイン電流(ID)の発生の原因は、多結晶シリコン膜中の未結合手に起因したトンネル電流によるものと考えられる。

【0012】 そこで、本発明は多結晶シリコン膜中の未結合手を水素もしくはハロゲンの添加により旨く制御して、蓄積側でのドレイン電流(ID)の発生を抑えるものである。

【0013】 本発明の薄膜トランジスタによれば、多結晶シリコン膜を主体としたソース領域、ドレイン領域およびチャネル領域に水素もしくはハロゲンが $5 \times 10^{19}/\text{cm}^3$ 以上の濃度で存在しているため、膜中の欠陥が解消されドレイン電流が十分に低減される。

【0014】 この、水素もしくはハロゲンの濃度としては、特に好ましくは $1 \times 10^{17}/\text{cm}^3$ 以上、 $1 \times 10^{21}/\text{cm}^3$ 以下とすると良い。 $1 \times 10^{21}/\text{cm}^3$ よりも過度に水素もしくはハロゲンが存在していると欠陥の解消に寄与せず、逆にn型の不純物となる恐れがある。

## 【0015】

【実施例】 以下、本発明の一実施例のnチャンネル薄膜トランジスタを例にとり、図面を参照して説明する。

【0016】 図1は本実施例の薄膜トランジスタ(I)の概略断面図を示すものである。この薄膜トランジスタ(I)は、石英基板から成る絶縁基板(11)上に多結晶シリコン膜(21)が設置されている。

【0017】多結晶シリコン膜(21)は、リン(P)イオンが注入されて成るソース領域(25)、ドレイン領域(27)を備え、このソース領域(25)とドレイン領域(27)との間にチャンネル領域(23)を備えている。

【0018】そして、チャンネル領域(23)上にはゲート絶縁膜(31)を介して、リン(P)イオンが注入されて成る多結晶シリコン膜がゲート電極(41)として設置されている。更に、この上に保護膜(51)が設置されており、保護膜(51)にはソース領域(25)およびドレイン領域(27)をそれぞれ外部と接続するためのコンタクトホール(55)、(57)が設けられている。

【0019】そして、ソース領域(25)、ドレイン領域(27)は、コンタクトホール(55)、(57)を介して、アルミニウム(A1)から成る配線(65)、(67)によって外部と接続されている。次に、図2を参照して本実施例の薄膜トランジスタ(1)の製造方法について説明する。

【0020】まず、図2(a)に示すように、石英基板から成る絶縁基板(11)上に減圧化学気相蒸着法(LP-CVD)によって多結晶シリコン膜を成膜し、シリコン(Si)イオンを注入し、600℃で40時間熱処理して大粒径の多結晶シリコン膜(21)を形成した。

【0021】ここで、薄膜トランジスタ(1)を形成する領域と、それ以外の領域とを区分する素子分離を行うと共に、必要に応じてシャロードーピングにより、しきい値電圧制御を行うと良い。

【0022】次に、図2(b)に示すように、塩酸酸化によりゲート絶縁膜(31)を形成すると共に、このゲート絶縁膜(31)上に多結晶シリコン膜を形成し、リン(P)イオンを注入して低抵抗化してゲート電極(41)を構成した。

【0023】そして、図2(c)に示すように、ゲート電極(41)をマスクとしてヒ素(As)イオンをイオンインプランターによって注入して、多結晶シリコン膜(21)にソース領域(25)、ドレイン領域(27)およびチャンネル領域(23)を形成した。この時のイオンの注入条件は、加速電圧60KeV、ドーズ量は $5 \times 10^{15}/\text{cm}^2$ とした。

【0024】この後、図2(d)に示すように保護膜(51)を形成し、ソース領域(25)、ドレイン領域(27)へのコンタクトホール(55)、(57)を形成した。そして、水素(H)イオンをイオン打込みで注入した。

【0025】この時の注入条件は、加速電圧10KeV、ドーズ量は膜中濃度が $5 \times 10^{19}/\text{cm}^3$ 以上となるように設定した。例えば、チャンネル長(L)/チャンネル幅(W) = 10/10( $\mu\text{m}$ )、ソース・ドレイン面積が $10 \times 10 \mu\text{m}^2$ では、ドーズ量はほぼ $10^{17}/\text{cm}^2$ となった。このドーズ量はESRで測定される $10^{18}/\text{cm}^3$ 程度の非晶質シリコンの未結合手全てを結合させるものである。

【0026】この後、図2(e)に示すように配線65、(67)を形成し、350℃でアニールして膜中の水素

(H)を全体に旨く拡散させた。このアニール温度としては、200℃以上、400℃以下程度が特に好ましい。

【0027】本実施例の薄膜トランジスタ(1)のチャンネル領域(23)の水素濃度はSIMS(Secondary Ion Microscopy)により測定したところ、 $5 \times 10^{19}/\text{cm}^3$ であり、ソース領域(25)、ドレイン領域(27)の水素濃度を測定することにより連続して拡散されていることが確認された。

【0028】図3は、縦軸にドレイン電流(ID)をとり、横軸にゲート電圧(VG)をとり示したもので、図中曲線(a)は本実施例の薄膜トランジスタ(1)を、図中曲線(b)は水素(H)イオンが注入されていない従来の薄膜トランジスタのソース・ドレイン間電圧が0.05Vの時のVG-ID特性を示している。この図から、本実施例の薄膜トランジスタ(1)は従来に比べて蓄積側でのドレイン電流(ID)が著しく減少していることがわかる。

【0029】以上のように、本実施例の薄膜トランジスタ(1)によれば、ソース領域(25)、ドレイン領域(27)に水素(H)イオンが注入され、膜中の未結合手に水素(H)イオンが作用して欠陥を消滅させ、ミッドギャップ中の欠陥準位を消滅させている。

【0030】このため、蓄積側における欠陥を介してのドレイン電流(ID)の発生を防止している。そして、ソース領域(25)、ドレイン領域(27)内の( $n^+$ )-(p)接合内の欠陥に有効に作用する。

【0031】尚、上述した実施例では、膜中の水素濃度を旨く制御して欠陥準位を減少させたが、フッ素(F)イオンを注入することにより制御しても良い。フッ素(F)イオンは、シリコン(Si)イオンとの結合において水素(H)よりも強固な結合が得られるため、より安定な膜が得られる。また、フッ素(F)イオンの他にも、他のハロゲン元素も用いることが可能である。

【0032】本実施例の製造方法によれば、従来に比べて大幅に製造工程を増やすことなく、容易に膜中に水素(H)イオンもしくはハロゲン元素を導入し、膜中のミッドギャップ中の欠陥準位を消滅させることができる。そして、特にその濃度を連続して変えることができるため薄膜トランジスタとしての特性も損なうことなく、非常に有効な方法である。

【0033】

【発明の効果】上述したように、本発明によれば、水素もしくはハロゲンを膜中に旨く作用させることにより、膜中のミッドギャップ中の欠陥準位を消滅させ、薄膜トランジスタの蓄積側でのドレイン電流(ID)を防止することができる。そして、本発明の製造方法によれば、容易に本発明の構造の薄膜トランジスタを得ることができる。

【図面の簡単な説明】

【図1】図1は本発明の一実施例の薄膜トランジスタの概略断面図である。

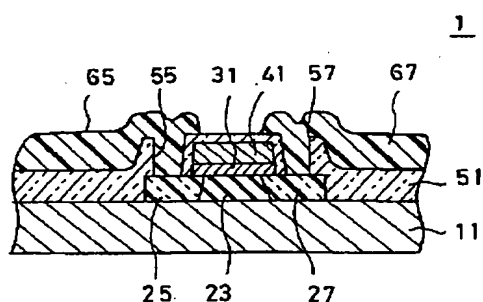
【図2】図2は、図1における薄膜トランジスタの製造プロセスを示す図である。

【図3】図3は、縦軸にドレイン電流 ( $I_D$ )、横軸にゲート電圧 ( $V_G$ ) をとり、薄膜トランジスタの  $V-I$  特性を示す図である。

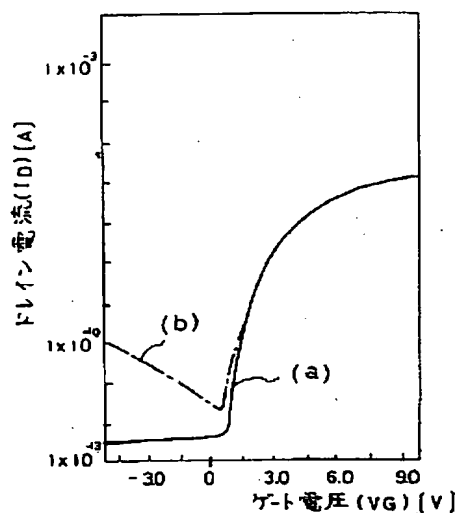
【符号の説明】

- (1) …薄膜トランジスタ
- (21) …多結晶シリコン膜
- (23) …チャネル領域
- (25) …ソース領域
- (27) …ドレイン領域

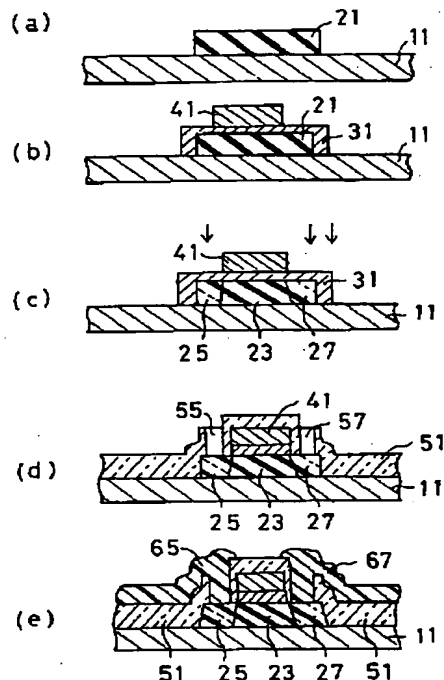
【図1】



【図3】



【図2】



フロントページの続き

(72)発明者 中村 弘喜

神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内